



(12)发明专利申请

(10)申请公布号 CN 111243514 A

(43)申请公布日 2020.06.05

(21)申请号 202010191441.X

(22)申请日 2020.03.18

(71)申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 郑皓亮 玄明花 刘冬妮 张振宇

肖丽 陈亮 陈昊 赵蛟 商广良

姚星 齐琪

(74)专利代理机构 北京天昊联合知识产权代理

有限公司 11112

代理人 柴亮 姜春咸

(51)Int.Cl.

G09G 3/3208(2016.01)

G09G 3/32(2016.01)

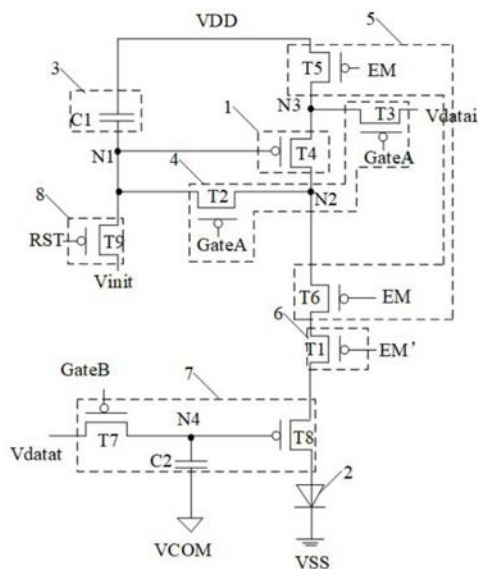
权利要求书2页 说明书7页 附图3页

(54)发明名称

像素驱动电路及其驱动方法、显示面板

(57)摘要

本发明提供一种像素驱动电路及其驱动方法、显示面板,属于显示技术领域,其可至少部分解决现有的像素驱动电路无法实现低灰阶显示的问题。本发明的一种像素驱动电路,包括:驱动单元、发光单元、存储单元、写入补偿单元、电流控制单元、时长调节单元以及灰阶控制单元;电流控制单元,用于通过控制驱动单元而控制流过发光单元的电流大小;灰阶控制单元,用于根据第二栅线端和第二数据电压端的信号控制电流流过发光单元的时长;时长调节单元,用于与电流控制单元共同调节电流写入发光单元的时长,时长调节单元与电流控制单元同时导通的时间小于电流控制单元单独导通的时间。



1. 一种像素驱动电路,其特征在于,包括:驱动单元、发光单元、存储单元、写入补偿单元、电流控制单元、时长调节单元以及灰阶控制单元;

所述驱动单元,用于驱动所述发光单元进行发光;

所述存储单元的第一端连接第一电压端,其第二端连接第一节点;

所述写入补偿单元,用于通过所述存储单元的调节向所述驱动单元写入数据线端的数据信号以及补偿数据;

所述电流控制单元,用于通过控制所述驱动单元而控制流过所述发光单元的电流大小电流;

所述灰阶控制单元,用于根据所述第二栅线端和所述第二数据电压端的信号控制所述电流流过所述发光单元的时长;

所述时长调节单元,用于与所述电流控制单元共同调节所述电流写入所述发光单元的时长,所述时长调节单元与所述电流控制单元同时导通的时间小于所述电流控制单元单独导通的时间。

2. 根据权利要求1所述的像素驱动电路,其特征在于,所述时长调节单元包括:第一晶体管,其栅极连接第二信号端。

3. 根据权利要求2所述的像素驱动电路,其特征在于,所述写入补偿单元包括:

第二晶体管,其栅极连接第一栅线端,第一极连接第一节点,第二极连接第二节点;

第三晶体管,其栅极连接第一栅线端,第一极连接第三节点,第二极连接第一数据电压端。

4. 根据权利要求3所述的像素驱动电路,其特征在于,所述驱动单元包括:第四晶体管,其栅极连接第一节点,第一极连接第三节点,第二极连接第二节点。

5. 根据权利要求4所述的像素驱动电路,其特征在于,所述电流控制单元包括:

第五晶体管,其栅极连接第一信号端,第一极连接第一电压端,第二极连接第三节点;

第六晶体管,其栅极连接第一信号端,第一极连接第二节点,第二极连接第一晶体管的第一极。

6. 根据权利要求5所述的像素驱动电路,其特征在于,所述存储单元包括:第一电容,其第一极连接第一电压端,第二极连接第一节点。

7. 根据权利要求6所述的像素驱动电路,其特征在于,所述灰阶控制单元包括:

第七晶体管,其栅极连接第二栅线端,第一极连接第二数据电压端,第一极连接第四节点;

第二电容,其第一极连接第四节点,第二极连接第三电压端;

第八晶体管,其栅极连接第四节点,第一极连接所述第一晶体管第二极,第二极连接所述发光单元。

8. 根据权利要求7所述的像素驱动电路,其特征在于,还包括:重置单元,用于第二电压端和重置端的信号调节第一节点的电压,所述重置单元包括第九晶体管,其栅极连接重置端,第一极连接第一节点,第一极连接第二电压端。

9. 根据权利要求1所述的像素驱动电路,其特征在于,所述发光单元为微型发光二极管。

10. 一种像素驱动方法,其特征在于,基于权利要求1至9任意一项所述的像素驱动电

路,所述像素驱动方法包括:

在数据写入阶段中,所述写入补偿单元通过所述存储单元的调节向所述驱动单元写入数据线端的数据信号以及补偿数据;

在显示阶段中,所述电流控制单元通过控制所述驱动单元而控制流过所述发光单元的电流大小,所述灰阶控制单元根据所述第二栅线端和所述第二数据电压端的信号控制所述电流流过所述发光单元的时长,所述时长调节单元与所述电流控制单元共同调节所述电流写入所述发光单元的时长,所述时长调节单元与所述电流控制单元同时导通的时间小于所述电流控制单元单独导通的时间。

11. 根据权利要求10所述像素驱动方法,其特征在于,所述像素驱动电路为权利要求8所述的像素驱动电路,所述像素驱动方法具体包括:

重置阶段,向所述第二电压端输入重置信号,向所述重置端输入导通信号,向所述第一栅线端、所述第二栅线端、所述第一信号端和所述第二信号端输入关断信号;

数据写入阶段,向所述第一数据电压端输入数据信号,向所述第一栅线端输入导通信号,向所述重置端、所述第二栅线端、所述第一信号端和所述第二信号端输入关断信号;

显示阶段,包括至少一个子显示阶段,每个子显示阶段包括控制阶段和发光阶段,在所述控制阶段中,向所述第二数据电压端输入控制信号,向所述第二栅线端输入导通信号,向所述重置端、所述第一栅线端、所述第一信号端和所述第二信号端输入关断信号,在所述发光阶段中,向第一电压端输入显示信号,向所述第一信号端和所述第二信号端输入导通信号,向所述重置端、所述第一栅线端、所述第二栅线端输入关断信号,其中,所述第一信号端的导通时间早于所述第二信号端的导通时间。

12. 一种显示面板,其特征在于,包括多个像素驱动电路,所述像素驱动电路为权利要求1至9中任意一项的像素驱动电路。

像素驱动电路及其驱动方法、显示面板

技术领域

[0001] 本发明属于显示技术领域,具体涉及一种像素驱动电路及其驱动方法、显示面板。

背景技术

[0002] 相对于有机发光二极管(OLED)显示装置而言,微型发光二极管显示装置,如Micro-LED显示装置,具有驱动电压低、寿命长、耐宽温等优势,因此,微型发光二极管显示装置得到越来越多的关注。

[0003] 现有技术的一种Micro-LED显示装置的像素驱动电路中,是通过控制驱动电流和显示元件的发光时长来控制显示元件的显示灰阶的,具体的发光时长较短可显示低灰阶,发光时长较长可显示高灰阶。

[0004] 然而,由于该像素驱动电路为了能够形成正常的驱动电流,驱动电流所在的通路的导通时长的最小值是一定的(如大于 $6.5\mu\text{s}$),而最小灰阶的实现所需要的显示时长小于驱动电流所在的通路的导通的最小时长,因此该像素驱动电路可能难以实现低灰阶的显示。

发明内容

[0005] 本发明至少部分解决现有的像素驱动电路无法实现低灰阶显示的问题,提供一种能够显示低灰阶的像素驱动电路。

[0006] 解决本发明技术问题所采用的技术方案是一种像素驱动电路,包括:驱动单元、发光单元、存储单元、写入补偿单元、电流控制单元、时长调节单元以及灰阶控制单元;

[0007] 所述驱动单元,用于驱动所述发光单元进行发光;

[0008] 所述存储单元的第一端连接第一电压端,其第二端连接第一节点;

[0009] 所述写入补偿单元,用于通过所述存储单元的调节向所述驱动单元写入数据线端的数据信号以及补偿数据;

[0010] 所述电流控制单元,用于通过控制所述驱动单元而控制流过所述发光单元的电流大小电流;

[0011] 所述灰阶控制单元,用于根据所述第二栅线端和所述第二数据电压端的信号控制所述电流流过所述发光单元的时长;

[0012] 所述时长调节单元,用于与所述电流控制单元共同调节所述电流写入所述发光单元的时长,所述时长调节单元与所述电流控制单元同时导通的时间小于所述电流控制单元单独导通的时间。

[0013] 所述时长调节单元包括:第一晶体管,其栅极连接第二信号端。

[0014] 进一步优选的是,所述写入补偿单元包括:第二晶体管,其栅极连接第一栅线端,第一极连接第一节点,第二极连接第二节点;第三晶体管,其栅极连接第一栅线端,第一极连接第三节点,第二极连接第一数据电压端。

[0015] 进一步优选的是,所述驱动单元包括:第四晶体管,其栅极连接第一节点,第一极

连接第三节点,第二极连接第二节点。

[0016] 进一步优选的是,所述电流控制单元包括:第五晶体管,其栅极连接第一信号端,第一极连接第一电压端,第二极连接第三节点;第六晶体管,其栅极连接第一信号端,第一极连接第二节点,第二极连接第一晶体管的第一极。

[0017] 进一步优选的是,所述存储单元包括:第一电容,其第一极连接第一电压端,第二极连接第一节点。

[0018] 进一步优选的是,所述灰阶控制单元包括:第七晶体管,其栅极连接第二栅线端,第一极连接第二数据电压端,第一极连接第四节点;第二电容,其第一极连接第四节点,第二极连接第三电压端;第八晶体管,其栅极连接第四节点,第一极连接所述第一晶体管第二极,第二极连接所述发光单元。

[0019] 进一步优选的是,该像素驱动电路还包括:重置单元,用于第二电压端和重置端的信号调节第一节点的电压,所述重置单元包括第九晶体管,其栅极连接重置端,第一极连接第一节点,第一极连接第二电压端。

[0020] 进一步优选的是,所述发光单元为微型发光二极管。

[0021] 解决本发明技术问题所采用的技术方案是一种像素驱动方法,基于上述的像素驱动电路,所述像素驱动方法包括:

[0022] 在数据写入阶段中,所述写入补偿单元通过所述存储单元的调节向所述驱动单元写入数据线端的数据信号以及补偿数据;

[0023] 在显示阶段中,所述电流控制单元通过控制所述驱动单元而控制流过所述发光单元的电流大小,所述灰阶控制单元根据所述第二栅线端和所述第二数据电压端的信号控制所述电流流过所述发光单元的时长,所述时长调节单元与所述电流控制单元共同调节所述电流写入所述发光单元的时长,所述时长调节单元与所述电流控制单元同时导通的时间小于所述电流控制单元单独导通的时间。

[0024] 进一步优选的是,所述像素驱动电路为上述的像素驱动电路,所述像素驱动方法具体包括:重置阶段,向所述第二电压端输入重置信号,向所述重置端输入导通信号,向所述第一栅线端、所述第二栅线端、所述第一信号端和所述第二信号端输入关断信号;数据写入阶段,向所述第一数据电压端输入数据信号,向所述第一栅线端输入导通信号,向所述重置端、所述第二栅线端、所述第一信号端和所述第二信号端输入关断信号;显示阶段,包括至少一个子显示阶段,每个子显示阶段包括控制阶段和发光阶段,在所述控制阶段中,向所述第二数据电压端输入控制信号,向所述第二栅线端输入导通信号,向所述重置端、所述第一栅线端、所述第一信号端和所述第二信号端输入关断信号,在所述发光阶段中,向第一电压端输入显示信号,向所述第一信号端和所述第二信号端输入导通信号,向所述重置端、所述第一栅线端、所述第二栅线端输入关断信号,其中,所述第一信号端的导通时间早于所述第二信号端的导通时间。

[0025] 解决本发明技术问题所采用的技术方案是一种显示面板,包括多个像素驱动电路,所述像素驱动电路为上述的像素驱动电路。

附图说明

[0026] 附图是用来提供对本发明的进一步理解,并且构成说明书的一部分,与下面的具

体实施方式一起用于解释本发明,但并不构成对本发明的限制。在附图中:

[0027] 图1为本发明的实施例的一种像素驱动电路的结构示意图;

[0028] 图2为图1所示的像素驱动电路的高灰阶的工作时序图;

[0029] 图3为图1所示的像素驱动电路的低灰阶的工作时序图;

[0030] 图4为本发明的实施例的一种像素驱动电路中给第一信号端或者第二信号端提供信号的电路结构示意图;

[0031] 图5为本发明的实施例的一种像素驱动电路中给第一信号端或者第二信号端提供信号的电路结构示意图;

[0032] 其中,附图标记为:1、驱动单元;2、发光单元;3、存储单元;4、写入补偿单元;5、电流控制单元;6、时长调节单元;7、灰阶控制单元;8、重置单元;VDD、第一电压端;Vinit、第二电压端;VCOM、第三电压端;VSS、第四电压端;EM、第一信号端;EM'、第二信号端;GateA、第一栅线端;GateB、第二栅线端;Vdatai、第一数据电压端;Vdatat、第二数据电压端;RST、重置端;T1、第一晶体管;T2、第二晶体管;T3、第三晶体管;T4、第四晶体管;T5、第五晶体管;T6、第六晶体管;T7、第七晶体管;T8、第八晶体管;T9、第九晶体管;N1、第一节点;N2、第二节点;N3、第三节点;N4、第四节点;C1、第一电容;C2、第二电容;t1、重置阶段;t2、数据写入阶段;t3、显示阶段;a、控制阶段;b、发光阶段。

具体实施方式

[0033] 为使本领域技术人员更好地理解本发明的技术方案,下面结合附图和具体实施方式对本发明作进一步详细描述。

[0034] 以下将参照附图更详细地描述本发明。在各个附图中,相同的元件采用类似的附图标记来表示。为了清楚起见,附图中的各个部分没有按比例绘制。此外,在图中可能未示出某些公知的部分。

[0035] 在下文中描述了本发明的许多特定的细节,例如部件的结构、材料、尺寸、处理工艺和技术,以便更清楚地理解本发明。但正如本领域的技术人员能够理解的那样,可以不按照这些特定的细节来实现本发明。

[0036] 实施例1:

[0037] 如图1至图3所示,本实施例提供一种像素驱动电路,包括:驱动单元1、发光单元2、存储单元3、写入补偿单元4、电流控制单元5、时长调节单元6以及灰阶控制单元7;

[0038] 驱动单元1,用于驱动发光单元2进行发光;

[0039] 存储单元3的第一端连接第一电压端VDD,其第二端连接第一节点N1;

[0040] 写入补偿单元4,用于通过存储单元3的调节向驱动单元1写入数据线端的数据信号以及补偿数据;

[0041] 电流控制单元5,用于通过控制驱动单元1而控制流过发光单元2的电流大小;

[0042] 灰阶控制单元7,用于根据第二栅线端GateB和第二数据电压端Vdatat的信号控制电流流过发光单元2的时长;

[0043] 时长调节单元6,用于与电流控制单元5共同调节电流写入发光单元2的时长,时长调节单元6与电流控制单元5同时导通的时间小于电流控制单元5单独导通的时间。

[0044] 此外,本实施例中的发光单元2可以是现有技术中包括Micro-LED (Micro Light

Emitting Diode, 微发光二极管) 或 OLED (Organic Light Emitting Diode, 有机发光二极管) 在内的电流驱动的发光器件, 在本实施例中是以 Micro-LED 为例进行的说明。

[0045] 需要说明的是, Micro-LED 显示装置的发光效率会在低电流密度下随着电流密度降低而降低, 色坐标会随着电流密度的变化而变化。故 Micro-LED 显示装置要实现灰阶显示需在高电流密度下, 即高电流下实现灰阶显示。现有技术的一种 Micro-LED 显示装置的像素驱动电路中, 是通过控制驱动电流和显示元件的发光时长来控制显示元件的显示灰阶的, 具体的发光时长较短可显示低灰阶, 发光时长较长可显示高灰阶。然而, 由于该像素驱动电路为了能够形成正常的驱动电流, 驱动电流所在的通路的导通时长的最小是一定的 (如大于 $6.5\mu\text{s}$), 而最小灰阶的实现所需要的显示时长小于驱动电流所在的通路的导通的最小时长, 因此该像素驱动电路可能难以实现低灰阶的显示。

[0046] 本实施例的像素驱动电路中, 通过时长调节单元 6 与电流控制单元 5 的共同作用可以使得在保证电流正常的前提下进一步缩短发光的最小时长, 从而保证低灰阶的显示, 进而保证像素驱动电路的性能。

[0047] 具体的, 时长调节单元 6 包括: 第一晶体管 T1, 其栅极连接第二信号端 EM'。

[0048] 写入补偿单元 4 包括: 第二晶体管 T2, 其栅极连接第一栅线端 GateA, 第一极连接第一节点 N1, 第二极连接第二节点 N2; 第三晶体管 T3, 其栅极连接第一栅线端 GateA, 第一极连接第三节点 N3, 第二极连接第一数据电压端 Vdata_i。

[0049] 驱动单元 1 包括: 第四晶体管 T4, 其栅极连接第一节点 N1, 第一极连接第三节点 N3, 第二极连接第二节点 N2。

[0050] 电流控制单元 5 包括: 第五晶体管 T5, 其栅极连接第一信号端 EM, 第一极连接第一电压端 VDD, 第二极连接第三节点 N3; 第六晶体管 T6, 其栅极连接第一信号端 EM, 第一极连接第二节点 N2, 第二极连接第一晶体管 T1 的第一极。

[0051] 存储单元 3 包括: 第一电容 C1, 其第一极连接第一电压端 VDD, 第二极连接第一节点 N1。

[0052] 灰阶控制单元 7 包括: 第七晶体管 T7, 其栅极连接第二栅线端 GateB, 第一极连接第二数据电压端 Vdata_t, 第一极连接第四节点 N4; 第二电容 C2, 其第一极连接第四节点 N4, 第二极连接第三电压端 VCOM; 第八晶体管 T8, 其栅极连接第四节点 N4, 第一极连接第一晶体管 T1 第二极, 第二极连接发光单元 2。

[0053] 本实施例的像素驱动电路还包括: 重置单元 8, 用于第二电压端 Vinit 和重置端 RST 的信号调节第一节点 N1 的电压, 重置单元 8 包括第九晶体管 T9, 其栅极连接重置端 RST, 第一极连接第一节点 N1, 第一极连接第二电压端 Vinit。

[0054] 优选的, 所有晶体管均为 N 型晶体管; 或者, 所有晶体管均为 P 型晶体管。

[0055] 实施例 2:

[0056] 如图 1 至图 3 所示, 本实施例提供一种像素驱动方法, 基于实施例 1 的像素驱动电路, 像素驱动方法包括:

[0057] 在数据写入阶段 t₂ 中, 写入补偿单元 4 通过存储单元 3 的调节向驱动单元 1 写入数据线端的数据信号以及补偿数据;

[0058] 在显示阶段 t₃ 中, 电流控制单元 5 通过控制驱动单元 1 而控制流过发光单元 2 的电流大小, 灰阶控制单元 7 根据第二栅线端 GateB 和第二数据电压端 Vdata_t 的信号控制电流流

过发光单元2的时长,时长调节单元6与电流控制单元5共同调节电流写入发光单元2的时长,时长调节单元6与电流控制单元5同时导通的时间小于电流控制单元5单独导通的时间。

[0059] 具体的,该方法中,第一电压端VDD用于提供工作电压,第四电压端VSS用于提供参考电压;该方法具体包括:

[0060] S11、重置阶段t1,向第二电压端Vinit输入重置信号,向重置端RST输入导通信号,向第一栅线端GateA、第二栅线端GateB、第一信号端EM和第二信号端EM' 输入关断信号。

[0061] 其中,导通信号是指加载在晶体管栅极上时可使晶体管导通的信号,而关断信号是指加载在晶体管栅极上时可使晶体管关断的信号。

[0062] 需要说的是,以下以所有晶体管均是P型晶体管为例进行说明,故其中导通信号为低电平信号,关断信号为高电平信号。

[0063] 如图1至图3所示,在本阶段中,也就是说,向第一栅线端GateA输入高电平,使得第二晶体管T2和第三晶体管T3关断;向第二栅线端GateB输入高电平,使得第七晶体管T7关断;向第一信号端EM输入高电平,使得第五晶体管T5和第六晶体管T6关断;向第二信号端EM' 输入高电平,使得第一晶体管T1关断。向重置端RST输入低电平,第九晶体管T9导通,使得第二电压端Vinit的电压写入第一节点N1,进而使得初始化信号写入第一电容C1。

[0064] S12、数据写入阶段t2,向第一数据电压端Vdatai输入数据信号,向第一栅线端GateA输入导通信号,向重置端RST、第二栅线端GateB、第一信号端EM和第二信号端EM' 输入关断信号。

[0065] 如图1至图3所示,在本阶段中,也就是说,向重置端RST输入高电平,使得第九晶体管T9关断;向第二栅线端GateB输入高电平,使得第七晶体管T7关断;向第一信号端EM输入高电平,使得第五晶体管T5和第六晶体管T6关断;向第二信号端EM' 输入高电平,使得第一晶体管T1关断。向第一栅线端GateA输入低电平,第二晶体管T2和第三晶体管T3导通;由于上阶段的第一电容C1的信号使得第四晶体管T4导通。这样第一数据电压端Vdatai的数据信号依次经过第三晶体管T3、第四晶体管T4、第二晶体管T2写入第一节点N1,同时补偿数据也写入第一节点N1,即存储至第一电容C1中。

[0066] S13、显示阶段t3,包括至少一个子显示阶段,每个子显示阶段包括控制阶段a和发光阶段b,在控制阶段a中,向第二数据电压端Vdatat输入控制信号,向第二栅线端GateB输入导通信号,向重置端RST、第一栅线端GateA、第一信号端EM和第二信号端EM' 输入关断信号,在发光阶段b中,向第一电压端VDD输入显示信号,向第一信号端EM和第二信号端EM' 输入导通信号,向重置端RST、第一栅线端GateA、第二栅线端GateB输入关断信号,其中,第一信号端EM的导通时间早于第二信号端EM' 的导通时间。

[0067] 如图1至图3所示,显示阶段t3可包括多个子显示阶段,图2和图3中以3个子显示阶段为例来说明。每个子显示阶段均包括控制阶段a和发光阶段b,这样包括有多个子显示阶段的显示阶段t3实际就是多个控制阶段a和发光阶段b的间隔分布。

[0068] 具体的,在每个子显示阶段的控制阶段a中,向重置端RST输入高电平,使得第九晶体管T9关断;向第一栅线端GateA输入高电平,使得第二晶体管T2和第三晶体管T3关断;向第一信号端EM输入高电平,使得第五晶体管T5和第六晶体管T6关断;向第二信号端EM' 输入高电平,使得第一晶体管T1关断。向第二数据电压端Vdatat输入低电平,第七晶体管T7导通,使得第二数据电压端Vdatat的控制信号写入第四节点N4,并存储至第二电容C2中。

[0069] 在每个子显示阶段的发光阶段b中,首先,向重置端RST输入高电平,使得第九晶体管T9关断;向第一栅线端GateA输入高电平,使得第二晶体管T2和第三晶体管T3关断;向第二栅线端GateB输入高电平,使得第七晶体管T7关断;向第二信号端EM' 输入高电平,使得第一晶体管T1关断;向第一信号端EM输入低电平,第五晶体管T5和第六晶体管T6导通。其次,重置端RST、第一栅线端GateA、第二栅线端GateB、第一信号端EM保持不变,向第二信号端EM' 输入低电平,使得第一晶体管T1导通,又由于第四晶体管T4在第一电容C1的作用下是导通的,则电流依次通过第五晶体管T5、第四晶体管T4、第六晶体管T6、第一晶体管T1写入发光单元2,使得发光单元2正常显示。

[0070] 上述显示过程相当于第二信号端EM' 比第一信号端EM延迟输入导通信号,当第二信号端EM' 和第一信号端EM均输入导通信号时电流才能输入值发光单元2,因此发光单元2的发光时间为第二信号端EM' 和第一信号端EM同时导通的时间,这样就可以通过控制第二信号端EM' 的导通信号输入的时间来调整发光时间的长短。

[0071] 具体的,当第二信号端EM' 的导通信号输入时长一定时,第二信号端EM' 的导通限号的输入延迟越短,发光时间相对越长,第二信号端EM' 的导通限号的输入延迟越长,发光时间相对越短。

[0072] 图2中,第二信号端EM' 和第一信号端EM的导通时间相同,使得其发光时间相对较长,适用于显示高灰阶;图3中,第二信号端EM' 比第一信号端EM延迟输入导通信号,实际的发光时间由EMand所示,发光时间缩短,适用于显示低灰阶。

[0073] 综上所述,本实施例的像素驱动方法中,通过第二信号端EM' 比第一信号端EM延迟输入导通信号可以使得在保证电流正常的前提下进一步缩短发光的最小时长,从而保证低灰阶的显示,进而保证像素驱动电路的性能。

[0074] 实施例3:

[0075] 本实施例提供一种显示面板,包括多个像素驱动电路,该像素驱动电路为上述的像素驱动电路。

[0076] 需要说明的是,本实施的显示面板还包括:灰阶判断模块(PAM或者PWM)以及发光时长判断模块(ESTV),灰阶判断模块用于判断各个像素驱动电路对应的像素将要显示的灰阶,发光时长判断模块用于根据各个像素将要显示的灰阶得到需要的发光时长,以及计算得到第二信号端EM' 相对第一信号端EM的延迟时间。

[0077] 也就是说,在实施例2的步骤S11至S13之前,首先要判断各个像素驱动电路对应的像素将要显示的灰阶,其次,根据各个像素将要显示的灰阶需要的发光时长,以及计算得到第二信号端EM' 相对第一信号端EM的延迟时间。

[0078] 此外,用于给第一信号端EM和第二信号端EM' 提供信号的电路结构可以是如图4和图5所示的移位寄存器电路,也可以是其他合适的电路结构。在图4和图5中,M1、M2、M3、M4、M5、M6、M7、M8分别表示晶体管,p1、p2、p3分别表示电容,GCL、VGL、CK、CB、VGL、VGH、GCB、GCK、GSTV、ESTV、VL、VH分别表示控制端或信号端,Gate Output表示向第一信号端EM或者第二信号端EM' 提供信号的端口。

[0079] 具体的,该显示面板可为微发光二极管(Micro-LED)显示面板、有机发光二极管(OLED)显示面板、电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0080] 应当说明的是,在本文中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括要素的过程、方法、物品或者设备中还存在另外的相同要素。

[0081] 依照本发明的实施例如上文所述,这些实施例并没有详尽叙述所有的细节,也不限制该发明仅为所述的具体实施例。显然,根据以上描述,可作很多的修改和变化。本说明书选取并具体描述这些实施例,是为了更好地解释本发明的原理和实际应用,从而使所属技术领域技术人员能很好地利用本发明以及在本发明基础上的修改使用。本发明仅受权利要求书及其全部范围和等效物的限制。

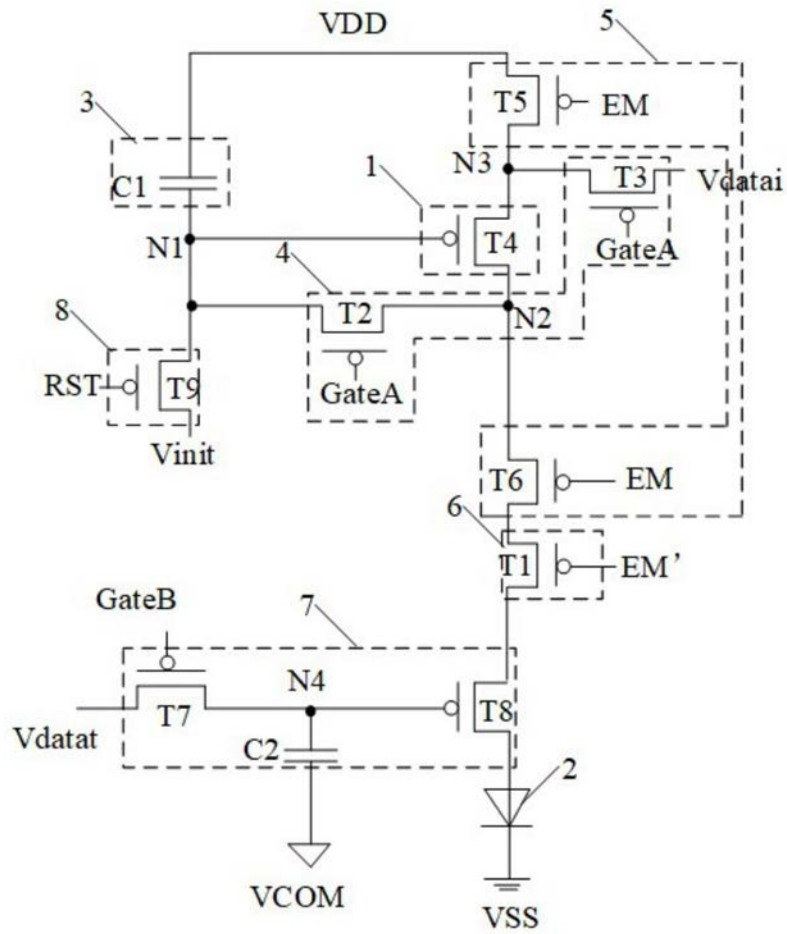


图1

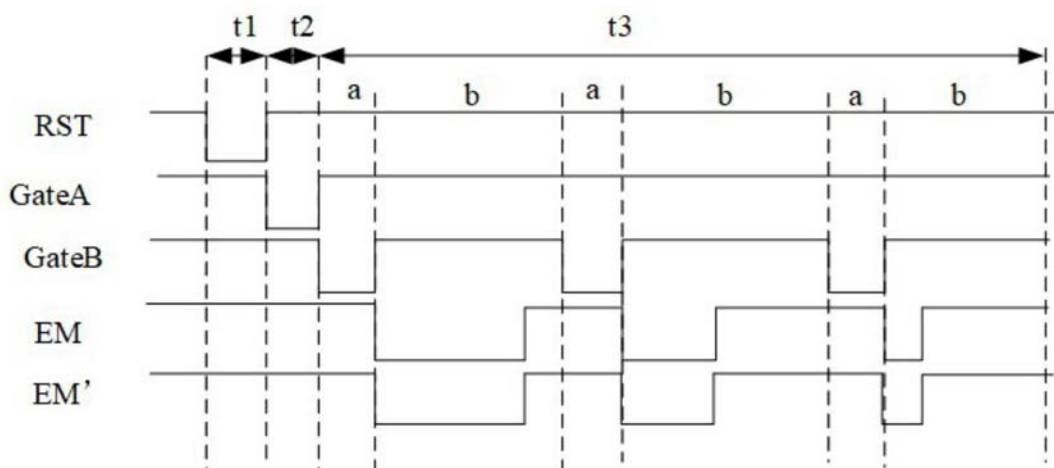


图2

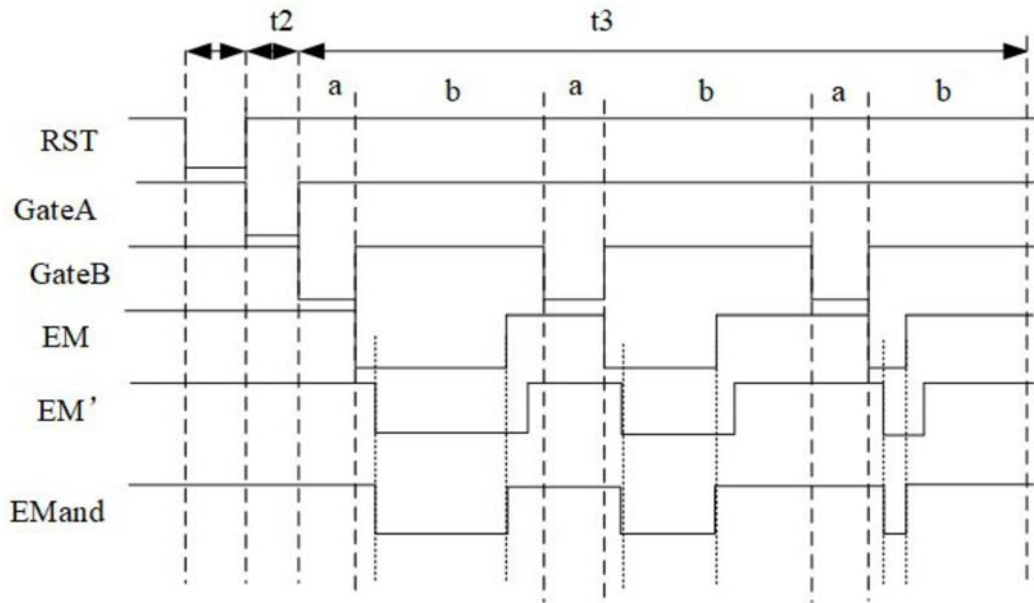


图3

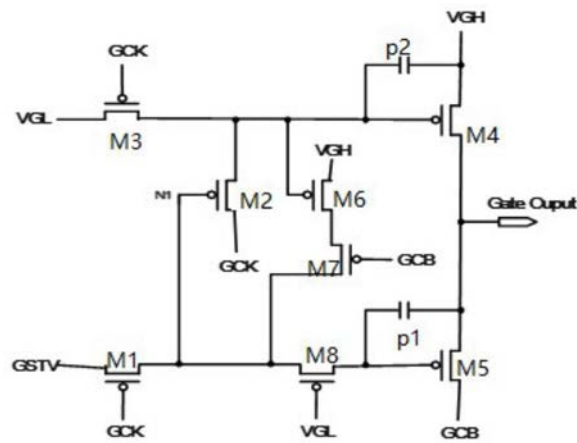


图4

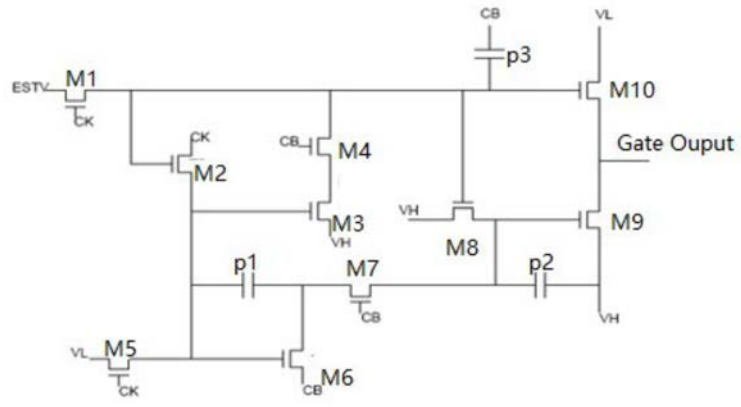


图5

专利名称(译)	像素驱动电路及其驱动方法、显示面板		
公开(公告)号	CN111243514A	公开(公告)日	2020-06-05
申请号	CN202010191441.X	申请日	2020-03-18
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	郑皓亮 玄明花 刘冬妮 张振宇 肖丽 陈亮 陈昊 赵蛟 商广良 姚星 齐琪		
发明人	郑皓亮 玄明花 刘冬妮 张振宇 肖丽 陈亮 陈昊 赵蛟 商广良 姚星 齐琪		
IPC分类号	G09G3/3208 G09G3/32		
代理人(译)	柴亮		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种像素驱动电路及其驱动方法、显示面板，属于显示技术领域，其可至少部分解决现有的像素驱动电路无法实现低灰阶显示的问题。本发明的一种像素驱动电路，包括：驱动单元、发光单元、存储单元、写入补偿单元、电流控制单元、时长调节单元以及灰阶控制单元；电流控制单元，用于通过控制驱动单元而控制流过发光单元的电流大小；灰阶控制单元，用于根据第二栅线端和第二数据电压端的信号控制电流流过发光单元的时长；时长调节单元，用于与电流控制单元共同调节电流写入发光单元的时长，时长调节单元与电流控制单元同时导通的时间小于电流控制单元单独导通的时间。

